

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163606

(43)Date of publication of application : 06.06.2003

(51)Int. Cl. H04B 1/18

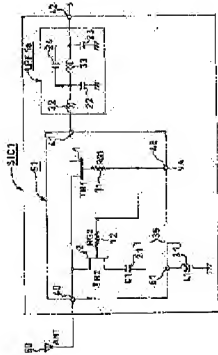
H01P 1/15

H04B 1/44

(21)Application number : 2001-358621 (71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 26.11.2001 (72)Inventor : FUJII SATORU

(54) SWITCH SEMICONDUCTOR INTEGRATED CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switch semiconductor integrated circuit capable of suppressing a higher harmonic level satisfying legal regulations.

SOLUTION: Between a common input/output terminal 40 and a first input/output terminal 41 provided in a switch circuit S1, a first field effect transistor 1 turning the two input/output terminals 40 and 41 to a conductive state as desired is provided. Further, between the common input/output terminal 40 and the ground, a serial resonance circuit 35 serially resonating at desired higher harmonics is provided so as to be serially connected through a second field effect transistor 2. To the first input/output terminal 41, a low-pass filter LPF1a having

attenuation characteristics to the desired higher harmonics and constituted so as to pass through fundamental waves to the higher harmonics is cascade-connected, and higher harmonic attenuation characteristics higher than before are obtained.

LEGAL STATUS

[Date of request for examination] 31.08.2004

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While having two input/output terminals, it is the switch semiconductor integrated circuit which comes to have the switching circuit in which it comes to prepare the switching device for the short

circuit between terminals which makes between the two input/output terminals concerned switch-on according to a request. While being prepared so that series connection of the series resonant circuit which carries out series resonance in a desired higher harmonic wave between one input/output terminal of said switching circuit and a gland may be carried out through the switching device for resonance circuit connection Cascade connection of the low pass filter is carried out to the input/output terminal of another side of said switching circuit. The low pass filter concerned While series connection of the 1st coil and 2nd coil is carried out to the input/output terminal of said another side and they are prepared in it from the input/output terminal side of the another side concerned The 1st capacitor between the mutual node of said 1st and 2nd coils, and a gland between the other end of said 2nd coil, and a gland The switch semiconductor integrated circuit characterized by coming to be constituted possible [passage of the fundamental wave over the higher harmonic concerned] while the 2nd capacitor is connected, respectively, it comes to carry out parallel connection of the 3rd capacitor to said 2nd coil and it has a damping property to the higher harmonic of said request.

[Claim 2] In said switching circuit, two or more switching devices for the short circuit between terminals are prepared. One terminal of two or more switching devices for the short circuit between terminals concerned While connecting with a common input/output terminal, the other-end child of two or more switching devices for the short circuit between terminals concerned It connects with two or more input/output terminals prepared corresponding to two or more switching devices for the short circuit between terminals concerned, respectively. The switch semiconductor integrated circuit according to claim 1 characterized by being constituted and between the input/output terminal which corresponds by making into switch-on any one for which said two or more switching devices for the short circuit between terminals ask, and said common input/output terminal becoming so that may be made into switch-on.

[Claim 3] A series resonant circuit consists of the 4th capacitor formed in the switching circuit, and the 3rd coil prepared in the exterior of a switching circuit. The end of said 4th capacitor It connects with another side of the switching device for resonance circuit connection on which the end was connected to one input/output terminal. The other end of said 4th capacitor, and the end of said 3rd coil The switch semiconductor integrated circuit according to claim 1 or 2 characterized by connecting mutually through the external component connection terminal prepared in said switching circuit, and coming to connect the

other end of said 3rd coil with a gland.

[Claim 4] A series resonant circuit consists of the 4th capacitor and 3rd coil which were prepared in the switching circuit. The end of said 4th capacitor It connects with another side of the switching device for resonance circuit connection on which the end was connected to one input output terminal. It is the switch semiconductor integrated circuit according to claim 1 or 2 characterized by the other end of said 4th capacitor and the end of said 3rd coil being connected mutually, and coming to connect the other end of said 3rd coil with a gland through the external component connection terminal prepared in the switching circuit.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the switch semiconductor integrated circuit which switches the I/O signal in a high frequency circuit, and relates to what aimed at oppression of the harmonic content generated by the nonlinearity which the semiconductor integrated circuit for a switch has especially, reduction, etc.

[0002]

[Description of the Prior Art] Conventionally, unipolar 4 ** switching circuit Sc used for the dual band portable telephone as shown in drawing 9 as this kind of a circuit, for example serves as well-known and common knowledge. If a circuit is explained conventionally [this] hereafter, referring to this drawing, this unipolar 4 ** switching circuit It is the thing it comes-izing [thing]. for example, the 1st thru/or the 4th transistor TR1-TR4 by the field-effect transistor -- a main component --

carrying out -- a semiconductor integrated circuit -- It is prepared and used among the so-called antenna 71 of a dual band portable telephone and the latter RF circuits LNA1, PA1, LNA2, and PA2 which enabled transmission and reception with two different radio frequencies. Here, for LNA1, the receiving front end one band, i.e., for band A, and PA1 are [the receiving front end the band of another side, i.e., for band B and PA2 of the transmitting amplifier of Band A and LNA2] the transmitting amplifiers of Band B among two different frequencies among two different frequencies.

[0003] In this configuration, while control voltage VA is set as a predetermined value so that TR1 may be in switch-on when receiving Band A, each control voltage VB, VC, and VD is set as a predetermined value so that other TR2-TR4 may be in non-switch-on (refer to drawing 8). As the case where any one of the transistors TR2-TR4 of other was made into switch-on was also shown in drawing 8 , the flow of each transistor TR1-TR4 and un-flowing are being controlled by control voltage VA-VD.

[0004]

[Problem(s) to be Solved by the Invention] However, although a higher harmonic will occur and it will be especially outputted by the nonlinear characteristic of a field-effect transistor from an antenna 71 with a sending signal in a circuit at the time of transmission conventionally [above-mentioned], about the electromagnetic wave outputted from an antenna 71, oppression of higher-harmonic level is needed [in the electric-wave regulation, the output level, the allowed value of an unnecessary frequency component, etc. are regulated, and] so that these demands may be satisfied. It is possible to consider as the configuration which prepares the band-pass filter of two bands between unipolar 4 ** switching circuit Sc and an antenna 71 as a policy which oppresses this higher-harmonic-wave level, for example. However, there is a limitation also in the amount of oppression of the higher harmonic wave by the band-pass filter by loss of the coil which constitutes a band-pass filter etc., and the oppression level of the higher harmonic wave demanded not necessarily is not satisfied.

[0005] This invention was made in view of the above-mentioned actual condition, and oppresses generating of an unnecessary higher harmonic wave, and, moreover, passage loss offers few switch semiconductor integrated circuits. Other purposes of this invention are to offer the switch semiconductor integrated circuit in which oppression of higher-harmonic-wave level which satisfies a regulation system is possible.

[0006]

[Means for Solving the Problem] In order to attain the purpose of above-

mentioned this invention, the switch semiconductor integrated circuit concerning this invention While having two input/output terminals, it is the switch semiconductor integrated circuit which comes to have the switching circuit in which it comes to prepare the switching device for the short circuit between terminals which makes between the two input/output terminals concerned switch-on according to a request. While being prepared so that series connection of the series resonant circuit which carries out series resonance in a desired higher harmonic wave between one input/output terminal of said switching circuit and a gland may be carried out through the switching device for resonance circuit connection Cascade connection of the low pass filter is carried out to the input/output terminal of another side of said switching circuit. The low pass filter concerned While series connection of the 1st coil and 2nd coil is carried out to the input/output terminal of said another side and they are prepared in it from the input/output terminal side of the another side concerned The 1st capacitor between the mutual node of said 1st and 2nd coils, and a gland between the other end of said 2nd coil, and a gland While the 2nd capacitor is connected, respectively, it comes to carry out parallel connection of the 3rd capacitor to said 2nd coil and it has a damping property to the higher harmonic of said request, it comes to be constituted possible [passage of the fundamental wave over the higher harmonic concerned].

[0007] When the SUTCHI component for the short circuit between terminals which the signal which serves as a fundamental wave to a desired higher harmonic wave passes in this configuration is set to ON by the control voltage from the outside, The switching device for resonance circuit connection is also set to ON at coincidence, and it will be in the condition that the series resonant circuit was connected between one input/output terminal and the gland. Connect with the input/output terminal of another side and by the interaction with a low pass filter with the same attenuation pole as the resonance frequency of a series resonant circuit The predetermined higher harmonic included in the signal which passes the switching device for the short circuit between terminals, Only the signal which is in agreement with the resonance frequency of a series resonant circuit will be removed efficiently. Namely, the signal of other frequency components The switching device for the short circuit between terminals which will be influenced of a series resonant circuit in any way can be passed, generating of an unnecessary higher harmonic wave will be oppressed, and, moreover, a SUTCHI semiconductor integrated circuit with little passage loss will be offered.

[0008]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to drawing 1 thru/or drawing 8 . In addition, the member explained below, arrangement, etc. cannot limit this invention, and can change it variously within the limits of the meaning of this invention. First, the 1st example of a configuration is explained, referring to drawing 1 . It comes to constitute the switch semiconductor integrated circuit SIC 1 in the 1st example of a configuration considering the switching circuit S1 constituted by having a series resonant circuit 35, and low pass filter LPF1a by which cascade connection was carried out to the latter-part side of this switching circuit S1 as a main component. the switching circuit S1 used the 1st and 2nd field-effect transistors (drawing 1 -- setting -- respectively -- "TR1", "TR2", and a notation) 1 and 2 and a series resonant circuit 35 as the main component, and the so-called solid state switch circuit was constituted.

[0009] That is, first, as for the 1st field-effect transistor 1 as a switching device for the short circuit between terminals, that drain (or source) is connected to the common input/output terminal 40, and the transceiver antenna 60 is connected to this common input/output terminal 40 in the exterior of this switch semiconductor integrated circuit SIC 1. Moreover, the source (or drain) of the 1st field-effect transistor 1 is connected to the 1st input/output terminal 41. If it puts in another way, the 1st field-effect transistor 1 forms the signal line between the common input/output terminal 40 of switching circuit SC1, and the 1st input/output terminal 41. And low pass filter LPF1a (it mentions later for details) is prepared between this 1st input/output terminal 41 and 2nd input/output terminal 42. Moreover, in the switching circuit S1, the gate of the 1st field-effect transistor 1 is connected to the 1st control voltage terminal 46 through the 1st gate resistor (in drawing 1 , it is written as "RG1") 11.

[0010] On the other hand, between the source (or drain) and a gland, while the drain (or source) is connected to the common input/output terminal 40, the 2nd field-effect transistor 2 as a switching device for resonance circuit connection is formed so that a series resonant circuit 35 may following-*. That is, between the source of the 2nd field-effect transistor 2, and the external component connection terminal 51, the 4th capacitor (in drawing 1 , it is written as "C1") 21 was connected. And in the exterior of a switching circuit S1, the 3rd coil (in drawing 1 , it is written as "L1") 31 is connected between the external component connection terminal 51 and the gland, and the series resonant circuit 35

consisted of the 4th capacitor 21 and 3rd coil 31. When putting in another way, series connection of the series resonant circuit 35 was carried out between the signal line (it sets in the gestalt of operation of this invention, and is the 1st field-effect transistor 1), and the gland, and it was established in it. Moreover, the gate of the 2nd field-effect transistor 2 is connected to the 1st previous control voltage terminal 46 through the 2nd gate resistor (in drawing 1, it is written as "RG2") 12.

[0011] Next, while series connection of the 1st coil 32 and 2nd coil 33 is carried out and they are prepared from the 1st input/output terminal 41 side between the 1st input/output terminal 41 and the 2nd input/output terminal 42, low pass filter LPF1a Between the mutual node of the 1st and 2nd coils 32 and 33, and a gland While the 1st capacitor 22 is formed, between the mutual node of the 2nd coil 33 and the 2nd input/output terminal 42, and a gland It had become that in which the 2nd capacitor 23 was formed, and further, to the 2nd coil 33, parallel connection of the 3rd capacitor 24 was carried out, and low pass filter LPF1a was constituted. And while this low pass filter LPF1a made the fundamental wave pass, the components constant was set up so that an attenuation pole might be generated in the same frequency as the resonance frequency of the previous series resonant circuit 35.

[0012] Next, the actuation in this configuration is explained. For example, if the case where impress the signal of a frequency f_0 to the 2nd input/output terminal 42 from the exterior, and it transmits from the transceiver antenna 60 is explained, the 1st and 2nd field-effect transistors 1 and 2 will be [both] from the circuit of the exterior which is not illustrated in switch-on first in this case by control voltage VA being impressed to the 1st control voltage terminal 46. By it, the signal of the frequency f_0 impressed to the 2nd input/output terminal 42 will pass low pass filter LPF1a and the 1st field-effect transistor 1 which were set up so that the secondary harmonic frequency of f_0 might serve as an attenuation pole, and will result to the common input/output terminal 40. However, after passage of the 1st field-effect transistor 1, since the 2nd field-effect transistor 2 is switch-on, the secondary harmonic frequency of the frequency f_0 contained in the passage signal will receive attenuation by the series resonant circuit 35 which makes secondary harmonic frequency of f_0 resonance frequency. Consequently, from the transceiver antenna 60, the fundamental wave from which the secondary higher harmonic of a fundamental wave f_0 was removed enough will be emitted.

[0013] Here, the 3rd coil 31 of a series resonant circuit 35 and the

components constant (an inductance value and capacity value) of the 4th capacitor 21 are set up based on the formula 1 which carries out the following to remove the secondary harmonic content of a fundamental wave f_0 .

$2xf_0 = 1/\{2\pi(L_1, C_1) 1/2\}$... a formula 1 -- in addition, suppose that L_1 is the inductance value of the 3rd coil 31, and C_1 is the capacity value of the 4th capacitor 21 here.

[0014] As a result of a series resonant circuit's 35 resonating on the frequency of $2xf_0$, the signal of the frequency of $2xf_0$ will be reflected in the common input/output terminal 40. If it puts in another way, to the signal of the frequency of $2xf_0$, the common input/output terminal 40 will be in an equivalent condition to have connected with the gland too hastily, therefore the signal of the frequency of $2xf_0$ will be emitted from the transceiver antenna 60. However, there is loss of the 3rd coil 31 which constitutes a series resonant circuit 35 etc. in fact, and there is a limitation in the amount of oppression of the higher harmonic by the series resonant circuit 35. In the gestalt of operation of this invention, since low pass filter LPF1a which makes an attenuation pole secondary harmonic frequency of the signal f_0 to pass is prepared between the 1st input/output terminal 41 and the 2nd input/output terminal 42, only the secondary higher-harmonic frequency component of a fundamental wave will be efficiently removed by the interaction with a series resonant circuit 35.

[0015] Here, if the example of a frequency is given, supposing the input signal impressed to the 2nd input/output terminal 42 will be 0.9GHz, the 1.8GHz sending signal which is the 2nd higher harmonic is not emitted by the series resonant circuit 35 from the transceiver antenna 60, but moreover, a 0.9GHz signal will be emitted from the transceiver antenna 60, without receiving the power loss by the series resonant circuit 35 in any way. Next, the higher-harmonic property of this 1st example of a configuration is explained in the comparison with the thing of other circuitry, referring to drawing 2 thru/or drawing 5. First, drawing 2 is the circuit diagram showing the case of only a switching circuit S1, without using low pass filter LPF1a in the configuration shown in drawing 1, it is a circuit diagram at the time of replacing drawing 3 with low pass filter LPF1a in the configuration shown in drawing 1, and preparing 3 super-low region passage filter LPF1b, and drawing 4 is a circuit diagram in the case of using neither the series resonant circuit 35 nor low pass filter LPF1a. And the property table explaining these higher-harmonic properties is shown in drawing 5. That is, the property table shown in drawing 5 expresses the level of the 2nd higher harmonic

wave in the common input/output terminal 40 at the time of impressing a signal (9000MHz and +34dBm) to the terminal which is equivalent to the 2nd input/output terminal 42 in the circuit shown in drawing 2 thru/or drawing 4 in the example of a configuration shown in drawing 1 at this 2nd input/output terminal 42 as an input signal, respectively.

[0016] If the 2nd higher harmonic wave is [according to this table] one of the things of the configuration only using the series resonant circuit 35 shown in drawing 2 to being the level of -79.1dBc in a configuration of having been shown in drawing 1 - If it is in the thing of the configuration using the series resonant circuit 35 shown in 70dBc and drawing 3 , and 3 super-low region passage filter LPF1b It is - 60.5dBc if it is in the thing of a configuration of using neither -70dBc nor the series resonant circuit 35 shown in drawing 4 nor low pass filter LPF1a (or 3 super-low region passage filter LPF1b) as well as the thing of the configuration of drawing 2 . That is, if it is in the switching circuit S2 shown in drawing 4 against which any measures are not taken to the higher harmonic wave, a secondary higher harmonic wave occurs by the nonlinearity of a field-effect transistor TR1, therefore the level of a higher harmonic wave is the highest, and the oppression property of a higher harmonic wave is the worst. On the other hand, since the series resonant circuit 35 is formed in the circuit shown in drawing 2 , he can understand that the higher harmonic is oppressed as compared with the circuit shown in drawing 4 . Moreover, although the circuit shown in drawing 3 is the configuration that 3 super-low region passage filter LPF1b was used together in addition to the series resonant circuit 35, the level of a higher harmonic wave is the same as that of the thing of a configuration of having used only the series resonant circuit 35 of drawing 2 , and it can understand it that 3 super-low region passage filter LPF1b does not have the depressor effect over the 2nd higher harmonic wave generated in the 1st field-effect transistor 1. On the other hand, if it is in the configuration shown in drawing 1 , he can understand that the amount of oppression of the 2nd higher harmonic is increasing no less than 9.1dB as compared with the circuit shown in the circuit shown in drawing 2 , and drawing 3 by the interaction of the low pass filter LPF1a and the series resonant circuit 35 which were established in the side to which the preceding paragraph of the 1st field-effect transistor 1, i.e., the input signal to the 1st field-effect transistor 1, is impressed.

[0017] Next, the 2nd example of a configuration is explained, referring to drawing 6 . In addition, about the same component as the component shown in drawing 1 , the same sign is attached, and the detailed

explanation is omitted, and suppose that it explains focusing on a different point hereafter. This 2nd example of a configuration is an example of a configuration in the case of being used for the so-called triple band cellular phone with which transmission and reception with three bands (frequency band) were constituted possible, and the switch semiconductor integrated circuit SIC 3 is formed between the front ends 61, 63, and 65 for reception and the transmitting amplifiers 62 and 64 which were prepared for every band, and the transceiver antenna 60, and it is switching the transceiver signal of three bands so that it may mention later. Hereafter, if that configuration is explained concretely, first the switching circuit S3 in this 2nd example of a configuration The 1st thru/or the 5th field-effect transistor (in drawing 6) as a switching device for the short circuit between terminals While unipolar 5 ** switching circuit by "TR1", "TR2", "TR3", "TR4", "TR5", and notations 1-5 is formed, respectively It has the composition that a series resonant circuit 35 is connected between the common input/output terminal 40 and a gland so that it may mention later through the 6th field-effect transistor (it is written as "TR6" in drawing 6) 6 as a switching device for resonance circuit connection.

[0018] That is, the drain (or source) was connected in common, and the 1st thru/or the 6th field-effect transistor 1-6 were connected to the common input/output terminal 40. Moreover, the source (or drain) of the 1st field-effect transistor 1 To the 1st input/output terminal 41, the source (or drain) of the 2nd field-effect transistor 2 To the 2nd input/output terminal 42, the source (or drain) of the 3rd field-effect transistor 3 The source (or drain) of the 4th field-effect transistor 4 is connected to the 4th input/output terminal 44, and the source (or drain) of the 5th field-effect transistor 5 is connected to the 3rd input/output terminal 43 at the 5th input/output terminal 45, respectively. And the receiving front end 61 for A bands was connected to the 1st input/output terminal 41, the output stage of low pass filter LPF1a was connected to the 2nd input/output terminal 42, and the transmitting amplifier 62 for A bands was connected to the input stage of low pass filter LPF1a, respectively. Moreover, B and the transmitting amplifier 64 for C bands were connected to the 4th input/output terminal 44, and the receiving front end 65 for C bands was connected to the 5th input/output terminal 45 for the receiving front end 63 for B bands at the 3rd input/output terminal 43, respectively.

[0019] Here, the receiving front end 61 for A bands is the circuit which performs the first signal magnification to the received wave of A band, and the output signal is inputted into the receiving circuit of A band

of the latter part which is not illustrated. Moreover, the transmitting amplifier 62 for A bands is a circuit which performs the last magnification to the transmission wave of A band. Furthermore, the receiving front end 63 for B bands is the circuit which performs the first signal magnification to the received wave of B band, and the output signal is inputted into the receiving circuit of B band of the latter part which is not illustrated. And B and the transmitting amplifier 64 for C bands are circuits which perform the last magnification to the transmission wave of B band and a C band. Moreover, the receiving front end 65 for C bands is the circuit which performs the first signal magnification to the received wave of a C band, and the output signal is inputted into the receiving circuit of the C band of the latter part which is not illustrated.

[0020] Furthermore, the gate of the 1st field-effect transistor 1 The 1st gate resistor 11 is minded. For the 1st control voltage terminal 46 the gate of the 2nd field-effect transistor 2 The 2nd gate resistor 12 is minded. For the 2nd control voltage terminal 47 the gate of the 3rd field-effect transistor 3 The 3rd gate resistor (in drawing 6 , it is written as "RG3") 13 is minded. For the 3rd control voltage terminal 48 the gate of the 4th field-effect transistor 4 The 4th gate resistor (in drawing 6 , it is written as "RG4") 14 is minded. For the 4th control voltage terminal 49 the gate of the 5th field-effect transistor 5 While connecting with the 5th control voltage terminal 50 through the 5th gate resistor (it is written as "RG5" in drawing 6) 15, respectively, the gate of the 6th field-effect transistor 6 It connects with the 2nd control voltage terminal 47 through the 6th gate resistor (in drawing 6 , it is written as "RG6") 16. On the other hand, the series resonant circuit 35 of the same configuration is connected to the source (or drain) side of the 6th field-effect transistor 6 as having been shown in drawing 1 .

[0021] Next, it explains, referring to drawing 6 R> 6 about the actuation in this configuration. When receiving Band A, for example, the control voltage VA in the 1st control voltage terminal 46 by the circuit of the exterior which is not illustrated While considering as the predetermined electrical potential difference which makes the 1st field-effect transistor 1 switch-on, the 2nd thru/or the 5th control voltage VB, VC, VD, and VE While considering as the predetermined electrical potential difference which makes the 2nd thru/or the 5th field-effect transistor 2-5 non-switch-on, the control voltage VB of the 2nd control voltage terminal 47 will be impressed to the gate of the 6th field-effect transistor 6 (refer to drawing 8). Therefore, only the 1st

field-effect transistor 1 is switch-on (if it puts in another way). Between the common input/output terminal 40 and the 1st input/output terminal 41 serves as ON. The 2nd thru/or the 5th field-effect transistor 2-5 While being in non-switch-on (between the common input/output terminal 40, the 2nd, or the 5th input/output terminal 42-45 is off if it puts in another way), since the 2nd control voltage VB is impressed to the gate, the 6th field-effect transistor 6 will be in non-switch-on. Therefore, the signal of the band A from the transceiver antenna 60 passes the 1st field-effect transistor 1, and is inputted into the receiving front end 61 for A bands, and signal magnification will be received here, it will be inputted into the receiving circuit for band A of the latter part which is not illustrated, a recovery etc. will be given, and reception with Band A will be made.

[0022] When transmitting Band A, next, the control voltage VB in the 2nd control voltage terminal 47 by the circuit of the exterior which is not illustrated While considering as the predetermined electrical potential difference which makes the 2nd field-effect transistor 2 switch-on, the 1st control voltage VA, the 3rd, or the 5th control voltage VC, VD, and VE While considering as the predetermined electrical potential difference which makes the 1st field-effect transistor 1, the 3rd, or the 5th field-effect transistor 3-5 non-switch-on, the control voltage VB of the 2nd control voltage terminal 47 will be impressed to the gate of the 6th field-effect transistor 6 (refer to drawing 8). Consequently, only the 2nd field-effect transistor 2 is switch-on (if it puts in another way). Between the common input/output terminal 40 and the 2nd input/output terminal 42 serves as ON. The 1st field-effect transistor 1, the 3rd, or the 5th field-effect transistor 3-5 Non-switch-on (if it puts in another way, between the common input/output terminal 40 and the 1st input/output terminal 41) Between the common input/output terminal 40, the 3rd, or the 5th input/output terminal 43-45 becomes off. And the output signal of the transmitting amplifier 62 for A bands Low pass filter LPF1a which makes an attenuation pole secondary harmonic frequency of A band transmit frequencies, and the 2nd field-effect transistor 2 will be passed.

[0023] On the other hand, a series resonant circuit 35 will be connected by the flow of the 6th field-effect transistor 6 between the common input/output terminal 40 and a gland. The sake, The frequency component same among the signals of A band which passed the 2nd field-effect transistor 2 as the resonance frequency of a series resonant circuit 35 Since it will be removed by the series resonant circuit 35, from the transceiver antenna 60, the signal of the band A from which

predetermined harmonic content was removed by the series resonant circuit 35 will be emitted. If the example of a frequency is given, a triple band cellular phone as a band A here 0.9GHz, When it is constituted by 1.9GHz as 1.8GHz and a band C as a band B, at the time of transmission of Band A, i.e., 0.9GHz transmission The 1.8GHz sending signal which is the 2nd higher harmonic is not emitted from the transceiver antenna 60 by the series resonant circuit 35, but moreover, a 0.9GHz transmission wave will be emitted from the transceiver antenna 60, without receiving the power loss by the series resonant circuit 35 in any way. In addition, also about the case where any one of the 1st field-effect transistor 1 and the 3rd thru/or the 5th field-effect transistor 3-5 is made into switch-on, as shown in drawing 8 R> 8, the flow of each transistor 1, 3-5 and un-flowing are being controlled by control voltage VA and VC-VE.

[0024] Next, the 3rd example of a configuration is explained, referring to drawing 7 . In addition, about the same component as the component shown in drawing 1 and drawing 6 , the same sign is attached, and the detailed explanation is omitted, and suppose that it explains focusing on a different point hereafter. It is only differing in that this 3rd example of a configuration has the composition the 3rd coil 31 which constitutes series resonant circuit 35A having been formed in switching circuit S4 with the 4th capacitor 21, and other components are the same as that of the 2nd example of a configuration shown in drawing 6 . That is, the end of the 4th capacitor 21 is connected to the source (or drain) of the 6th field-effect transistor 6, and the other end of this 4th capacitor 21 is connected to the end of the 3rd coil 31. And the other end of this 3rd coil 31 is connected to the external component connection terminal 51, and this external component connection terminal 51 was connected to the gland in the exterior of switching circuit S4. Thus, preparing series resonant circuit 35A in the interior of switching circuit S4 is based on a reason which following-**. That is, when preparing a coil (it sets for this 3rd example of a configuration, and is the 3rd coil 31) in the interior of switching circuit S4, in the portable telephone of these days with which the miniaturization is demanded more, it is because it becomes deletion of external coupling parts and becomes what responds to the request of a miniaturization. Moreover, if it is in the semiconductor IC (the so-called MMIC) handling a high frequency signal and a coil is formed in the interior at a monolithic when the switch semiconductor integrated circuit SIC 4 is set to MMIC, it is because there is also an advantage which becomes possible [suppressing dispersion in a component property as compared with the

case where the coil as external components is used].

[0025] The actuation in this configuration is the same as that of the case of the 2nd example of a configuration fundamentally shown in drawing 6 . That is, the 2nd and 6th field-effect transistors 2 and 6 will be in switch-on at the time of transmission of Band A, and the transmission wave with which the 2nd higher harmonic of a transmission wave was removed by series resonant circuit 35A will be emitted from the transceiver antenna 60 by series connection of the series resonant circuit 35A being carried out between the common input/output terminal 40 and a gland. In addition, since the actuation in the case of reception of Band A, transmission of Bands B and C, and reception of Band C does not have the case of the 2nd configuration and the changing place which were shown in drawing 6 , detailed explanation here for the second time is given to omit.

[0026] In the example shown in drawing 6 and drawing 7 which were mentioned above, although the so-called unipolar 5 ** switching circuit should be constituted, of course, it does not need to be restricted to 5 ** and the switch semiconductor integrated circuit concerning this invention can be applied also like unipolar n ** switching circuit (n is two or more integers).

[0027]

[Effect of the Invention] As mentioned above, securing passage of the signal for which it asks according to this invention, as stated, by considering as a configuration by which only the harmonic content of the signal is bypassed, generating of an unnecessary higher harmonic wave is oppressed and, moreover, passage loss does so the effectiveness that few switch semiconductor integrated circuits can be offered. Since it is considered as a configuration which connects to a signal line at a series the low pass filter which makes resonance frequency of a series resonant circuit an attenuation pole while preparing the series resonant circuit for removing a higher harmonic especially between the signal line and the gland, the effectiveness that sufficient removal of a higher harmonic is made by the interaction of a series resonant circuit and a low pass filter as compared with the former is done so.

Furthermore, the series resonant circuit for removing a higher harmonic Since it was made to become in-series between a signal line and a gland when the fundamental wave which generates a higher harmonic passed a signal line For example, even if the frequency of the signal of one band is a case as it is in the ploydy of the frequency of the band of another side in a triple band circuit While it is avoided certainly that the series resonant circuit which removes the higher harmonic wave of the

frequency of the band of another side produces loss to passage of the signal of one band By the interaction of a series resonant circuit and a low pass filter, the effectiveness that sufficient removal of a higher harmonic is attained as compared with the former is done so.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the circuitry of the switch semiconductor integrated circuit in the 1st example of a configuration of the gestalt of operation of this invention.

[Drawing 2] It is the circuit diagram showing the circuitry at the time of removing a low pass filter from the configuration shown in drawing 1 .

[Drawing 3] It is the circuit diagram showing the circuitry at the time of replacing with a 3 super-low region passage filter the low pass filter in the configuration shown in drawing 1 .

[Drawing 4] It is the circuit diagram showing the circuitry at the time of removing a series resonant circuit and a low pass filter from the configuration shown in drawing 1 .

[Drawing 5] It is an explanatory view explaining the higher-harmonic property of the switch semiconductor integrated circuit in the 1st example of a configuration of the gestalt of operation of this invention.

[Drawing 6] It is the circuit diagram showing the circuitry of the switch semiconductor integrated circuit in the 2nd example of a configuration of the gestalt of operation of this invention.

[Drawing 7] It is the circuit diagram showing the circuitry of the switch semiconductor integrated circuit in the 3rd example of a configuration of the gestalt of operation of this invention.

[Drawing 8] It is an explanatory view explaining the actuation to the

control voltage conventionally impressed to a circuit and the switch semiconductor integrated circuit in the gestalt of operation of this invention.

[Drawing 9] It is the circuit diagram showing the example of a configuration of a circuit conventionally.

[Description of Notations]

- 1 -- The 1st field-effect transistor
- 2 -- The 2nd field-effect transistor
- 3 -- The 3rd field-effect transistor
- 4 -- The 4th field-effect transistor
- 5 -- The 5th field-effect transistor
- 6 -- The 6th field-effect transistor
- 35 35A -- Series resonant circuit
- 40 -- Common input/output terminal
- 41 -- The 1st input/output terminal
- 42 -- The 2nd input/output terminal
- 43 -- The 3rd input/output terminal
- 44 -- The 4th input/output terminal
- 45 -- The 5th input/output terminal

[Translation done.]

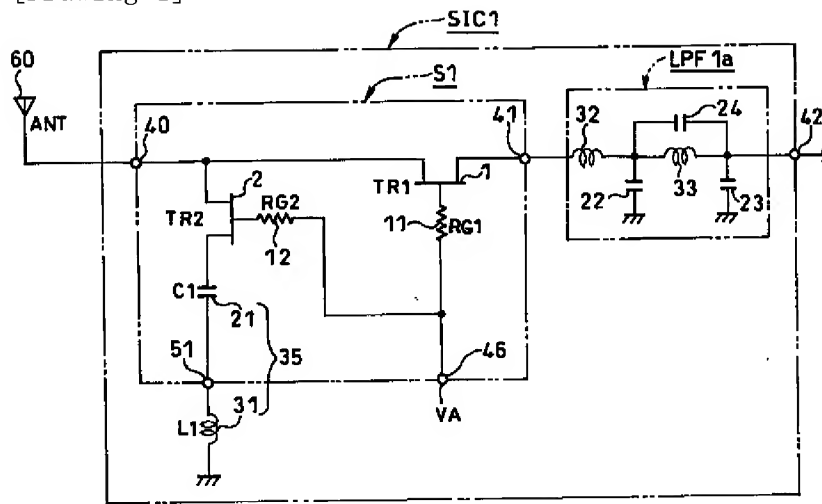
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

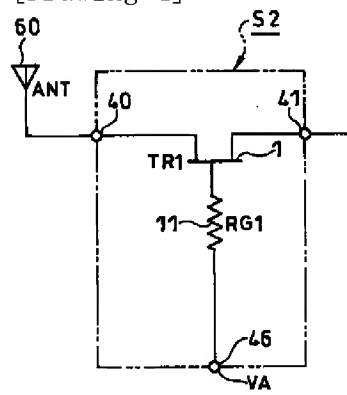
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

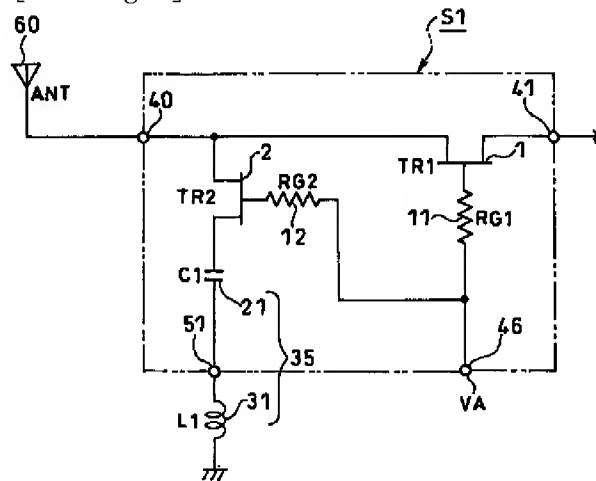
[Drawing 1]



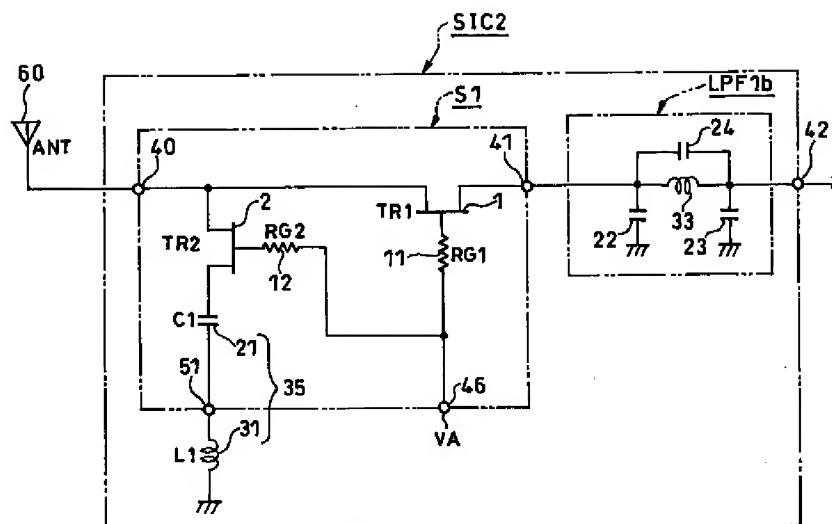
[Drawing 4]



[Drawing 2]



[Drawing 3]



[Drawing 5]

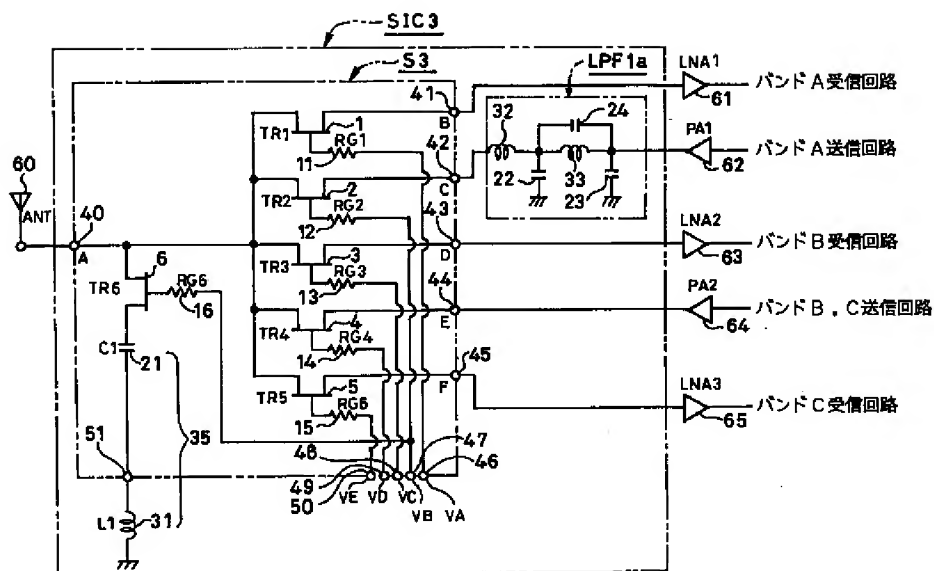
入力信号: 900MHz, +34dBm

回路	第2高調波レベル (dBc)
本発明の実施の形態の第1の構成図 (図1)	-79.1
図2の回路	-70.0
図3の回路	-70.0
図4の回路	-60.5

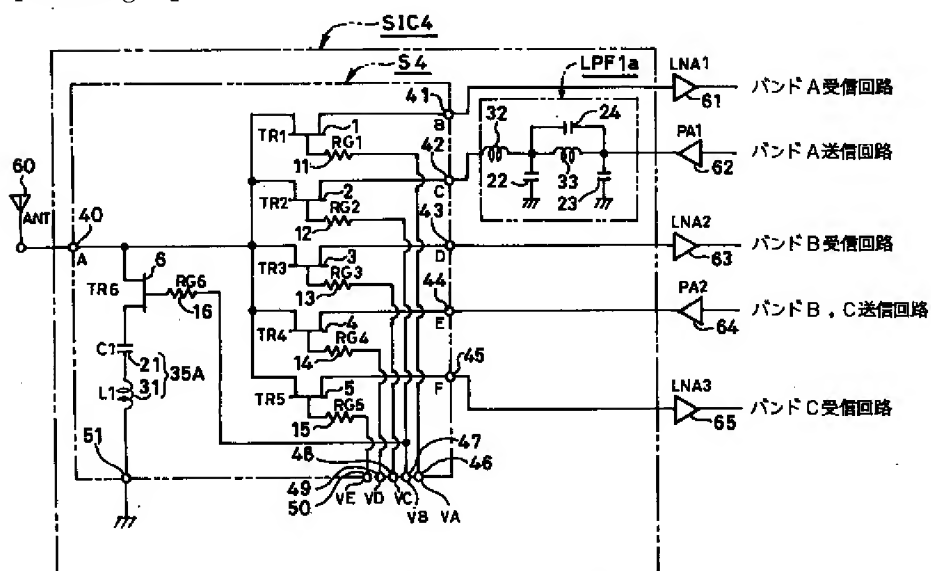
[Drawing 8]

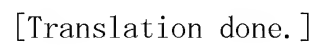
VA	VB	VC	VD	VE	経路 A-B	経路 A-C	経路 A-D	経路 A-E	経路 A-F
TR1 ON	TR2 OFF	TR3 OFF	TR4 OFF	TR5 OFF	ON	OFF	OFF	OFF	OFF
TR1 OFF	TR2 ON	TR3 OFF	TR4 OFF	TR5 OFF	OFF	ON	OFF	OFF	OFF
TR1 OFF	TR2 OFF	TR3 ON	TR4 OFF	TR5 OFF	OFF	OFF	ON	OFF	OFF
TR1 OFF	TR2 OFF	TR3 OFF	TR4 ON	TR5 OFF	OFF	OFF	OFF	ON	OFF
TR1 OFF	TR2 OFF	TR3 OFF	TR4 OFF	TR5 ON	OFF	OFF	OFF	OFF	ON

[Drawing 6]



[Drawing 7]





[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-163606

(P2003-163606A)

(43)公開日 平成15年6月6日(2003.6.6)

(51)Int.Cl.⁷

識別記号

F I

ターム(参考)

H 0 4 B 1/18

H 0 4 B 1/18

J 5 J 0 1 2

H 0 1 P 1/15

H 0 1 P 1/15

5 K 0 1 1

H 0 4 B 1/44

H 0 4 B 1/44

5 K 0 6 2

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号 特願2001-358621(P2001-358621)

(22)出願日 平成13年11月26日(2001.11.26)

(71)出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72)発明者 藤井 哲

埼玉県上福岡市福岡二丁目1番1号 新日

本無線株式会社川越製作所内

(74)代理人 100099818

弁理士 安孫子 勉

Fターム(参考) 5J012 BA03 BA04

5K011 BA04 DA02 DA21 DA27 GA04

KA09

5K062 AA09 AB08 AC01 BA02 BC02

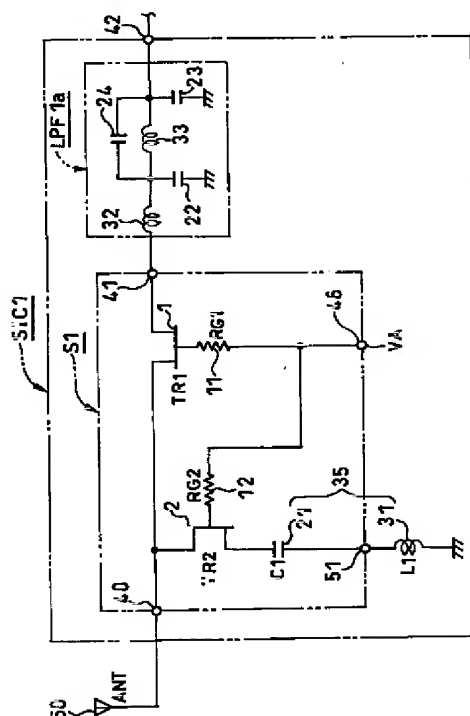
BC03

(54)【発明の名称】 スイッチ半導体集積回路

(57)【要約】

【課題】 法規制を満足する高調波レベルの抑圧が可能なスイッチ半導体集積回路を提供する。

【解決手段】 スッチ回路S1に設けられた共通入出力端子40と第1の入出力端子41との間には、当該2つの入出力端子40、41間を所望に応じて導通状態とする第1の電界効果トランジスタ1が設けられ、さらに、共通入出力端子40とグランドとの間には、所望の高調波において直列共振する直列共振回路35が第2の電界効果トランジスタ2を介して直列接続されるよう設けられる一方、第1の入出力端子41には、前記所望の高調波に対して減衰特性を有する一方、当該高調波に対する基本波を通過可能に構成されてなる低域通過フィルタLPF1aが縦続接続されて、従来に比してより高い高調波減衰特性が得られるようになっている。



【特許請求の範囲】

【請求項1】 2つの入出力端子を有すると共に、当該2つの入出力端子間を所望に応じて導通状態とする端子間短絡用スイッチ素子が設けられてなるスイッチ回路を有してなるスイッチ半導体集積回路であって、前記スイッチ回路の一方の入出力端子とグランドとの間に所望の高調波において直列共振する直列共振回路が共振回路接続用スイッチ素子を介して直列接続されるよう設けられる一方、前記スイッチ回路の他方の入出力端子には、低域通過フィルタが縦続接続され、当該低域通過フィルタは、前記他方の入出力端子に、当該他方の入出力端子側から第1のコイルと第2のコイルとが直列接続されて設けられると共に、前記第1及び第2のコイルの相互の接続点とグランドとの間に、第1のコンデンサが、前記第2のコイルの他端とグランドとの間に、第2のコンデンサが、それぞれ接続され、前記第2のコイルには、第3のコンデンサが並列接続されてなり、前記所望の高調波に対して減衰特性を有する一方、当該高調波に対する基本波を通過可能に構成されてなることを特徴とするスイッチ半導体集積回路。

【請求項2】 前記スイッチ回路において、複数の端子間短絡用スイッチ素子が設けられ、当該複数の端子間短絡用スイッチ素子の一方の端子は、共通入出力端子に接続される一方、当該複数の端子間短絡用スイッチ素子の他方の端子は、当該複数の端子間短絡用スイッチ素子に対応して設けられた複数の入出力端子にそれぞれ接続され、前記複数の端子間短絡用スイッチ素子の所望するいずれか一つを導通状態とすることにより対応する入出力端子と前記共通入出力端子間が導通状態とされるよう構成されてなることを特徴とする請求項1記載のスイッチ半導体集積回路。

【請求項3】 直列共振回路は、スイッチ回路内に設けられた第4のコンデンサと、スイッチ回路の外部において設けられた第3のコイルとからなり、前記第4のコンデンサの一端は、一端が一方の入出力端子に接続された共振回路接続用スイッチ素子の他方に接続され、前記第4のコンデンサの他端と前記第3のコイルの一端とは、前記スイッチ回路に設けられた外部素子接続端子を介して相互に接続され、前記第3のコイルの他端がグランドに接続されてなることを特徴とする請求項1又は請求項2記載のスイッチ半導体集積回路。

【請求項4】 直列共振回路は、スイッチ回路内に設けられた第4のコンデンサ及び第3のコイルとからなり、前記第4のコンデンサの一端は、一端が一方の入出力端子に接続された共振回路接続用スイッチ素子の他方に接続され、前記第4のコンデンサの他端と前記第3のコイルの一端とが相互に接続され、前記第3のコイルの他端はスイッチ回路に設けられた外部素子接続端子を介してグランドに接続されてなることを特徴とする請求項1又

は請求項2記載のスイッチ半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波回路における入出力信号の切り換えを行うスイッチ半導体集積回路に係り、特に、スイッチ用半導体集積回路のもつ非線形性により発生する高調波成分の抑圧、低減等を図ったものに関する。

【0002】

【従来の技術】従来、この種の回路としては、例えば、図9に示されたようなデュアルバンド携帯電話機に用いられた単極4投スイッチ回路Scなどが公知・周知となっている。以下、同図を参照しつつこの従来回路について説明すれば、この単極4投スイッチ回路は、例えば、電界効果トランジスタによる第1乃至第4のトランジスタTR1～TR4を主たる構成要素として半導体集積回路化されてなるもので、二つの異なる無線周波数での送受信を可能としたいいわゆるデュアルバンド携帯電話機のアンテナ71と後段の高周波回路LNA1、PA1、LNA2、PA2との間に設けられて用いられるものとなっている。ここで、LNA1は、二つの異なる周波数の内、一方のバンドすなわちバンドA用の受信フロントエンド、PA1はバンドAの送信増幅部、LNA2は、二つの異なる周波数の内、他方のバンドすなわちバンドB用の受信フロントエンド、PA2はバンドBの送信増幅部である。

【0003】かかる構成において、例えば、バンドAの受信を行う場合には、TR1が導通状態となるように制御電圧VAが所定の値に設定される一方、他のTR2～TR4は、非導通状態となるようにそれぞれの制御電圧VB、VC、VDが所定の値に設定されるものとなっている（図8参照）。他のトランジスタTR2～TR4のいずれか一つを導通状態とする場合についても図8に示されたようにそれぞれのトランジスタTR1～TR4の導通、非導通が制御電圧VA～VDにより制御されるものとなっている。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来回路においては、電界効果トランジスタの非線形特性により、高調波が発生し、特に、送信時には送信信号と共にアンテナ71から出力されてしまうが、アンテナ71から出力される電磁波については、電波法規において出力レベルや不要な周波数成分の許容値等が規制されており、これらの要求を満足するように高調波レベルの抑圧が必要となる。この高調波レベルを抑圧する方策としては、例えば、単極4投スイッチ回路Scとアンテナ71の間に2バンドの帯域通過フィルタを設ける構成とすることが考えられる。ところが、帯域通過フィルタを構成するコイルの損失等により帯域通過フィルタによる高調波の抑圧量にも限界があり、必ずしも要求される高調

波の抑圧レベルが満足されるものではない。

【0005】本発明は、上記実状に鑑みてなされたもので、不要な高調波の発生を抑圧し、しかも、通過損失が少ないスイッチ半導体集積回路を提供するものである。本発明の他の目的は、法規制を満足する高調波レベルの抑圧が可能なスイッチ半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段】上記本発明の目的を達成するため、本発明に係るスイッチ半導体集積回路は、2つの入出力端子を有すると共に、当該2つの入出力端子間を所望に応じて導通状態とする端子間短絡用スイッチ素子が設けられてなるスイッチ回路を有してなるスイッチ半導体集積回路であって、前記スイッチ回路の一方の入出力端子とグランドとの間に所望の高調波において直列共振する直列共振回路が共振回路接続用スイッチ素子を介して直列接続されるよう設けられる一方、前記スイッチ回路の他方の入出力端子には、低域通過フィルタが縦続接続され、当該低域通過フィルタは、前記他方の入出力端子に、当該他方の入出力端子側から第1のコイルと第2のコイルとが直列接続されて設けられると共に、前記第1及び第2のコイルの相互の接続点とグランドとの間に、第1のコンデンサが、前記第2のコイルの他端とグランドとの間に、第2のコンデンサが、それぞれ接続され、前記第2のコイルには、第3のコンデンサが並列接続されてなり、前記所望の高調波に対して減衰特性を有する一方、当該高調波に対する基本波を通過可能に構成されてなるものである。

【0007】かかる構成においては、所望の高調波に対して基本波となる信号が通過する端子間短絡用スイッチ素子が外部からの制御電圧によりオンとされる際、同時に共振回路接続用スイッチ素子もオンとされて、一方の入出力端子とグランド間に直列共振回路が接続された状態となり、他方の入出力端子に接続されて、直列共振回路の共振周波数と同じ減衰極を有した低域通過フィルタとの相互作用により、端子間短絡用スイッチ素子を通過する信号中に含まれる所定の高調波、すなわち、直列共振回路の共振周波数に一致する信号のみが効率良く除去されることとなり、他の周波数成分の信号は、何ら直列共振回路の影響を受けることとなる、端子間短絡用スイッチ素子を通過することができ、不要な高調波の発生を抑圧し、しかも、通過損失が少ないスイッチ半導体集積回路が提供されることとなるものである。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図1乃至図8を参照しつつ説明する。なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。最初に、第1の構成例について、図1を参照しつつ説明する。第1の構成例におけるスイッチ半導

体集積回路SIC1は、直列共振回路35を有して構成されたスイッチ回路S1と、このスイッチ回路S1の後段側に縦続接続された低域通過フィルタLPF1aとを主たる構成要素として構成されてなるものである。スイッチ回路S1は、第1及び第2の電界効果トランジスタ（図1においては、それぞれ、「TR1」、「TR2」と表記）1、2と、直列共振回路35とを主たる構成要素として、いわゆる半導体スイッチ回路が構成されたものとなっている。

【0009】すなわち、まず、端子間短絡用スイッチ素子としての第1の電界効果トランジスタ1は、そのドレイン（又はソース）が共通入出力端子40に接続されており、この共通入出力端子40には、このスイッチ半導体集積回路SIC1の外部で送受信アンテナ60が接続されるものとなっている。また、第1の電界効果トランジスタ1のソース（又はドレイン）は、第1の入出力端子41に接続されている。換言すれば、第1の電界効果トランジスタ1は、スイッチ回路SC1の共通入出力端子40と第1の入出力端子41との間の信号ラインを形成するものとなっている。そして、この第1の入出力端子41と第2の入出力端子42との間に、低域通過フィルタLPF1a（詳細は後述）が設けられている。また、スイッチ回路S1において、第1の電界効果トランジスタ1のゲートは、第1のゲート抵抗器（図1においては「RG1」と表記）11を介して第1の制御電圧端子46に接続されている。

【0010】一方、共振回路接続用スイッチ素子としての第2の電界効果トランジスタ2は、そのドレイン（又はソース）が共通入出力端子40に接続される一方、ソース（又はドレイン）とグランドとの間には、直列共振回路35が次述するように設けられている。すなわち、第2の電界効果トランジスタ2のソースと外部素子接続端子51との間には、第4のコンデンサ（図1においては「C1」と表記）21が接続されたものとなっている。そして、スイッチ回路S1の外部において、外部素子接続端子51とグランドとの間に第3のコイル（図1においては「L1」と表記）31が接続されており、第4のコンデンサ21と第3のコイル31とで直列共振回路35が構成されたものとなっている。換言すれば、直列共振回路35は、信号ライン（本発明の実施の形態においては第1の電界効果トランジスタ1）とグランドとの間に直列接続されて設けられたものとなっている。また、第2の電界効果トランジスタ2のゲートは、第2のゲート抵抗器（図1においては「RG2」と表記）12を介して先の第1の制御電圧端子46に接続されている。

【0011】次に、低域通過フィルタLPF1aは、第1の入出力端子41と第2の入出力端子42との間に、第1の入出力端子41側から第1のコイル32と第2のコイル33とが直列接続されて設けられると共に、第1

及び第2のコイル32、33の相互の接続点とグランドとの間に、第1のコンデンサ22が設けられる一方、第2のコイル33と第2の入出力端子42との相互の接続点とグランドとの間に、第2のコンデンサ23が設けられたものとなっており、さらに、第2のコイル33には、第3のコンデンサ24が並列接続されて低域通過フィルタLPF1aが構成されたものとなっている。そして、この低域通過フィルタLPF1aは、基本波を通過せしめる一方、先の直列共振回路35の共振周波数と同一周波数に減衰極が生ずるように、部品定数が設定されたものとなっている。

【0012】次に、かかる構成における動作について説明する。例えば、第2の入出力端子42に外部から周波数 f_0 の信号を印加して送受信アンテナ60から送信する場合について説明すれば、この場合、まず、図示されない外部の回路より、第1の制御電圧端子46に制御電圧VAが印加されることで、第1及び第2の電界効果トランジスタ1、2が共に導通状態となる。それによって、第2の入出力端子42に印加された周波数 f_0 の信号は、 f_0 の2次高調波周波数が減衰極となるよう設定された低域通過フィルタLPF1a及び第1の電界効果トランジスタ1を通過し、共通入出力端子40へ至ることとなる。ところが、第1の電界効果トランジスタ1の通過の後、その通過信号に含まれる周波数 f_0 の2次高調波周波数は、第2の電界効果トランジスタ2が導通状態となっているため、 f_0 の2次高調波周波数を共振周波数とする直列共振回路35により減衰を受けることとなる。その結果、送受信アンテナ60からは、基本波 f_0 の2次高調波が十分除去された基本波が放射されることとなる。

【0013】ここで、基本波 f_0 の2次高調波成分を除去したい場合、直列共振回路35の第3のコイル31及び第4のコンデンサ21の部品定数（インダクタンス値及び容量値）は、下記する式1に基づいて設定される。 $2 \times f_0 = 1 / \{ 2\pi (L1 \cdot C1)^{1/2} \}$ ・・・式1
なお、ここで、L1は、第3のコイル31のインダクタンス値、C1は、第4のコンデンサ21の容量値であるとする。

【0014】直列共振回路35が $2 \times f_0$ の周波数で共振する結果、 $2 \times f_0$ の周波数の信号は、共通入出力端子40において反射されることとなる。換言すれば、 $2 \times f_0$ の周波数の信号に対して共通入出力端子40は、グランドに短絡されたと等価な状態となり、そのため、 $2 \times f_0$ の周波数の信号は、送受信アンテナ60から放射されないこととなる。しかし、実際には、直列共振回路35を構成する第3のコイル31の損失等があり、直列共振回路35による高調波の抑圧量には、限界がある。本発明の実施の形態においては、通過する信号 f_0 の2次高調波周波数を減衰極とする低域通過フィルタLPF1aが第1の入出力端子41と第2の入出力端子4

2との間に設けられているために、直列共振回路35との相互作用により、基本波の2次高調波周波数成分のみが効率良く除去されることとなるものである。

【0015】ここで、周波数の具体例を挙げれば、第2の入出力端子42へ印加する入力信号が、例えば0.9GHzであるとする、直列共振回路35により第2高調波である1.8GHzの送信信号は、送受信アンテナ60から放射されず、しかも、0.9GHzの信号は、直列共振回路35による電力損失を何ら受けることなく送受信アンテナ60から放射されることとなる。次に、図2乃至図5を参照しつつこの第1の構成例の高調波特性について、他の回路構成のものとの比較において説明する。まず、図2は、図1に示された構成における低域通過フィルタLPF1aを用いずに、スイッチ回路S1のみの場合を示す回路図であり、図3は、図1に示された構成における低域通過フィルタLPF1aに代えて、3極低域通過フィルタLPF1bを設けた場合の回路図であり、図4は、直列共振回路35及び低域通過フィルタLPF1aのいずれも用いない場合の回路図である。そして、図5には、これらの高調波特性を説明する特性表が示されている。すなわち、図5に示された特性表は、入力信号として9000MHz、+34dBmの信号を、図1に示された構成例においては、第2の入出力端子42に、図2乃至図4に示された回路においては、この第2の入出力端子42に相当する端子に、それぞれ印加した場合の共通入出力端子40における第2高調波のレベルを表したものである。

【0016】同表によれば、図1に示された構成の場合、第2高調波は-79.1dBcのレベルであるのに対して、図2に示された直列共振回路35のみを用いた構成のものにあつては、-70dBc、図3に示された直列共振回路35と3極低域通過フィルタLPF1bを用いた構成のものにあつては、図2の構成のものと同じく-70dBc、図4に示された直列共振回路35、低域通過フィルタLPF1a（又は3極低域通過フィルタLPF1b）のいずれも用いない構成のものにあつては、-60.5dBcとなっている。すなわち、高調波に対して何らの対策の施されていない図4に示されたスイッチ回路S2にあつては、電界効果トランジスタTR1の非線形性により2次高調波が発生し、そのため高調波のレベルが最も高く、高調波の抑圧特性が最悪となっている。一方、図2に示された回路においては、直列共振回路35が設けられているために、図4に示された回路に比して高調波が抑圧されていることが理解できる。また、図3に示された回路は、直列共振回路35に加えて、3極低域通過フィルタLPF1bが併用された構成であるが、高調波のレベルは、図2の直列共振回路35のみを用いた構成のものと同一であり、3極低域通過フィルタLPF1bが第1の電界効果トランジスタ1で発生する第2高調波に対する抑制効果を有していないこと

が理解できるものとなっている。これに対して、図1に示された構成にあっては、第1の電界効果トランジスタ1の前段、すなわち、第1の電界効果トランジスタ1への入力信号が印加される側に設けられた低域通過フィルタLPF1aと直列共振回路35との相互作用によって、図2に示された回路及び図3に示された回路に比して、第2高調波の抑圧量が9.1 dBも増していることが理解できる。

【0017】次に、第2の構成例について、図6を参照しつつ説明する。なお、図1に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この第2の構成例は、3バンド（周波数帯）での送受信が可能に構成されたいわゆるトリプルバンド携帯電話に用いられる場合の構成例であり、スイッチ半導体集積回路SIC3は、バンド毎に設けられた受信用フロントエンド61、63、65及び送信増幅部62、64と送受信アンテナ60との間に設けられ、後述するように3バンドの送受信信号の切り換えを行うものとなっている。以下、具体的にその構成を説明すれば、まず、この第2の構成例におけるスイッチ回路S3は、端子間短絡用スイッチ素子としての第1乃至第5の電界効果トランジスタ（図6においては、それぞれ「TR1」、「TR2」、「TR3」、「TR4」、「TR5」と表記）1～5による単極5投スイッチ回路が形成されると共に、共振回路接続用スイッチ素子としての第6の電界効果トランジスタ（図6においては「TR6」と表記）6を介して後述するように直列共振回路35が共通入出力端子40とグラウンドとの間に接続されるような構成となっているものである。

【0018】すなわち、第1乃至第6の電界効果トランジスタ1～6は、そのドレイン（又はソース）が共通に接続されて共通入出力端子40に接続されたものとなっている。また、第1の電界効果トランジスタ1のソース（又はドレイン）は、第1の入出力端子41に、第2の電界効果トランジスタ2のソース（又はドレイン）は、第2の入出力端子42に、第3の電界効果トランジスタ3のソース（又はドレイン）は、第3の入出力端子43に、第4の電界効果トランジスタ4のソース（又はドレイン）は、第4の入出力端子44に、第5の電界効果トランジスタ5のソース（又はドレイン）は、第5の入出力端子45に、それぞれ接続されている。そして、第1の入出力端子41には、Aバンド用受信フロントエンド61が、第2の入出力端子42には、低域通過フィルタLPF1aの出力段が接続され、低域通過フィルタLPF1aの入力段にはAバンド用送信増幅部62が、それぞれ接続されたものとなっている。また、第3の入出力端子43には、Bバンド用受信フロントエンド63が、第4の入出力端子44には、B、Cバンド用送信増幅部64が、第5の入出力端子45には、Cバンド用受信フ

ロントエンド65が、それぞれ接続されたものとなっている。

【0019】ここで、Aバンド用受信フロントエンド61は、Aバンドの受信波に対して最初の信号増幅を施す回路で、その出力信号は、図示されない後段のAバンドの受信回路へ入力されるようになっている。また、Aバンド用送信増幅部62は、Aバンドの送信波に対して最終増幅を施す回路である。さらに、Bバンド用受信フロントエンド63は、Bバンドの受信波に対して最初の信号増幅を施す回路で、その出力信号は、図示されない後段のBバンドの受信回路へ入力されるようになっている。そして、B、Cバンド用送信増幅部64は、Bバンド及びCバンドの送信波に対して最終増幅を施す回路である。また、Cバンド用受信フロントエンド65は、Cバンドの受信波に対して最初の信号増幅を施す回路で、その出力信号は、図示されない後段のCバンドの受信回路へ入力されるようになっている。

【0020】さらに、第1の電界効果トランジスタ1のゲートは、第1のゲート抵抗器11を介して第1の制御電圧端子46に、第2の電界効果トランジスタ2のゲートは、第2のゲート抵抗器12を介して第2の制御電圧端子47に、第3の電界効果トランジスタ3のゲートは、第3のゲート抵抗器（図6においては「RG3」と表記）13を介して第3の制御電圧端子48に、第4の電界効果トランジスタ4のゲートは、第4のゲート抵抗器（図6においては「RG4」と表記）14を介して第4の制御電圧端子49に、第5の電界効果トランジスタ5のゲートは、第5のゲート抵抗器（図6においては「RG5」と表記）15を介して第5の制御電圧端子50に、それぞれ接続されると共に、第6の電界効果トランジスタ6のゲートは、第6のゲート抵抗器（図6においては「RG6」と表記）16を介して第2の制御電圧端子47に接続されている。一方、第6の電界効果トランジスタ6のソース（又はドレイン）側には、図1に示されたと同じ構成の直列共振回路35が接続されている。

【0021】次に、かかる構成における動作について図6を参照しつつ説明する。例えば、バンドAの受信を行う場合、図示されない外部の回路により、第1の制御電圧端子46における制御電圧VAは、第1の電界効果トランジスタ1を導通状態とする所定の電圧とされる一方、第2乃至第5の制御電圧VB、VC、VD、VEは、第2乃至第5の電界効果トランジスタ2～5を非導通状態とする所定の電圧とされると共に、第6の電界効果トランジスタ6のゲートには、第2の制御電圧端子47の制御電圧VBが印加されることとなる（図8参照）。そのため、第1の電界効果トランジスタ1のみが導通状態（換言すれば、共通入出力端子40と第1の入出力端子41との間がオン）となり、第2乃至第5の電界効果トランジスタ2～5は、非導通状態（換言すれば、共通入

出力端子40と第2乃至第5の入出力端子42~45との間がオフ)となると共に、第6の電界効果トランジスタ6は、そのゲートに第2の制御電圧VBが印加されるため、非導通状態となる。したがって、送受信アンテナ60からのバンドAの信号は、第1の電界効果トランジスタ1を通過してAバンド用受信フロントエンド61に入力され、ここで信号増幅を受け、図示されない後段のバンドA用の受信回路へ入力されて復調等が施され、バンドAでの受信がなされることとなる。

【0022】次に、バンドAの送信を行う場合、図示されない外部の回路により、第2の制御電圧端子47における制御電圧VBは、第2の電界効果トランジスタ2を導通状態とする所定の電圧とされる一方、第1の制御電圧VA、第3乃至第5の制御電圧VC、VD、VEは、第1の電界効果トランジスタ1、第3乃至第5の電界効果トランジスタ3~5を非導通状態とする所定の電圧とされると共に、第6の電界効果トランジスタ6のゲートには、第2の制御電圧端子47の制御電圧VBが印加されることとなる(図8参照)。その結果、第2の電界効果トランジスタ2のみが導通状態(換言すれば、共通入出力端子40と第2の入出力端子42との間がオン)となり、第1の電界効果トランジスタ1、第3乃至第5の電界効果トランジスタ3~5は、非導通状態(換言すれば、共通入出力端子40と第1の入出力端子41との間、及び共通入出力端子40と第3乃至第5の入出力端子43~45との間がオフ)となり、Aバンド用送信増幅部62の出力信号は、Aバンド送信周波数の2次高調波周波数を減衰極とする低域通過フィルタLPF1a、第2の電界効果トランジスタ2を通過することとなる。

【0023】一方、第6の電界効果トランジスタ6の導通により、直列共振回路35が共通入出力端子40とグランドとの間に接続されることとなり、そのため、第2の電界効果トランジスタ2を通過したAバンドの信号の内、直列共振回路35の共振周波数と同一の周波数成分は、直列共振回路35により除去されることとなるため、送受信アンテナ60からは、直列共振回路35により所定の高調波成分が除去されたバンドAの信号が放射されることとなる。ここで、周波数の具体例を挙げれば、トリプルバンド携帯電話が、バンドAとして0.9GHz、バンドBとして1.8GHz、バンドCとして1.9GHzに構成されたものである場合、バンドAの送信時、すなわち、0.9GHzの送信時には、直列共振回路35により、第2高調波である1.8GHzの送信信号は、送受信アンテナ60から放射されず、しかも、0.9GHzの送信波は、直列共振回路35による電力損失を何ら受けることなく、送受信アンテナ60から放射されることとなる。なお、第1の電界効果トランジスタ1及び第3乃至第5の電界効果トランジスタ3~5のいずれか一つを導通状態とする場合についても、図8に示されたようにそれぞれのトランジスタ1、3~5

の導通、非導通が制御電圧VA、VC~VEにより制御されるものとなっている。

【0024】次に、第3の構成例について、図7を参照しつつ説明する。なお、図1、図6に示された構成要素と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明することとする。この第3の構成例は、直列共振回路35Aを構成する第3のコイル31が第4のコンデンサ21と共に、スイッチ回路S4内に設けられた構成となっている点が異なるのみで、他の構成部分は、図6に示された第2の構成例と同様のものである。すなわち、第6の電界効果トランジスタ6のソース(又はドレイン)には、第4のコンデンサ21の一端が接続され、この第4のコンデンサ21の他端は、第3のコイル31の一端に接続されている。そして、この第3のコイル31の他端が、外部素子接続端子51に接続されており、この外部素子接続端子51は、スイッチ回路S4の外部でグランドに接続されたものとなっている。このように、スイッチ回路S4の内部に、直列共振回路35Aを設けるのは、次述するような理由によるものである。すなわち、コイル(この第3の構成例においては、第3のコイル31)をスイッチ回路S4の内部に設ける場合、より小型化が要求されている昨今の携帯電話機においては、外部接続部品の削除になり、小型化の要請に応えるものとなるためである。また、高周波信号を扱う半導体IC(いわゆるMMIC)にあつては、スイッチ半導体集積回路SIC4がMMICとされる場合に、その内部に、コイルをモノリシックに形成するとすれば、素子特性のばらつきを外部部品としてのコイルを用いる場合に比して抑えることが可能となる利点もあるからである。

【0025】かかる構成における動作は、基本的に図6に示された第2の構成例の場合と同様である。すなわち、バンドAの送信時において、第2及び第6の電界効果トランジスタ2、6が導通状態となり、直列共振回路35Aが共通入出力端子40とグランドとの間に直列接続されることで、直列共振回路35Aにより送信波の第2高調波が除去された送信波が、送受信アンテナ60から放射されることとなる。なお、バンドAの受信、バンドB、Cの送信及びバンドCの受信の際の動作は、図6に示された第2の構成の場合と変わるところがないので、ここでの再度の詳細な説明は省略することとする。

【0026】上述した図6及び図7に示された例においては、いわゆる単極5投スイッチ回路が構成されたものとしたが、勿論、5投に限られる必要はなく、本発明に係るスイッチ半導体集積回路は、単極n投スイッチ回路(nは2以上の整数)にも同様に適用できるものである。

【0027】

【発明の効果】以上、述べたように、本発明によれば、所望する信号の通過を確保しつつ、その信号の高調波成

分のみがバイパスされるような構成とすることにより、不要な高調波の発生を抑圧し、しかも、通過損失が少ないスイッチ半導体集積回路を提供することができるという効果を奏するものである。特に、高調波を除去するための直列共振回路を信号ラインとグランドとの間に設ける一方、直列共振回路の共振周波数を減衰極とする低域通過フィルタを信号ラインに直列に接続するような構成としたので、直列共振回路と低域通過フィルタの相互作用により、従来に比して高調波の十分な除去がなされるという効果を奏するものである。さらに、高調波を除去するための直列共振回路は、高調波を発生する基本波が信号ラインを通過する際に、信号ラインとグランドとの間で直列となるようにしたので、例えばトリプルバンド回路において、一方のバンドの信号の周波数が、他方のバンドの周波数の倍数関係にあるような場合であっても、他方のバンドの周波数の高調波を除去する直列共振回路が、一方のバンドの信号の通過に対して損失を生ずることが確実に回避されると共に、直列共振回路と低域通過フィルタとの相互作用により、従来に比して高調波の十分な除去が可能となるという効果を奏するものである。

【図面の簡単な説明】

【図1】本発明の実施の形態の第1の構成例におけるスイッチ半導体集積回路の回路構成を示す回路図である。

【図2】図1に示された構成から低域通過フィルタを除いた場合の回路構成を示す回路図である。

【図3】図1に示された構成における低域通過フィルタを3極低域通過フィルタに代えた場合の回路構成を示す回路図である。

【図4】図1に示された構成から直列共振回路及び低域通過フィルタを除いた場合の回路構成を示す回路図である。

【図5】本発明の実施の形態の第1の構成例におけるスイッチ半導体集積回路の高調波特性を説明する説明図である。

【図6】本発明の実施の形態の第2の構成例におけるスイッチ半導体集積回路の回路構成を示す回路図である。

【図7】本発明の実施の形態の第3の構成例におけるスイッチ半導体集積回路の回路構成を示す回路図である。

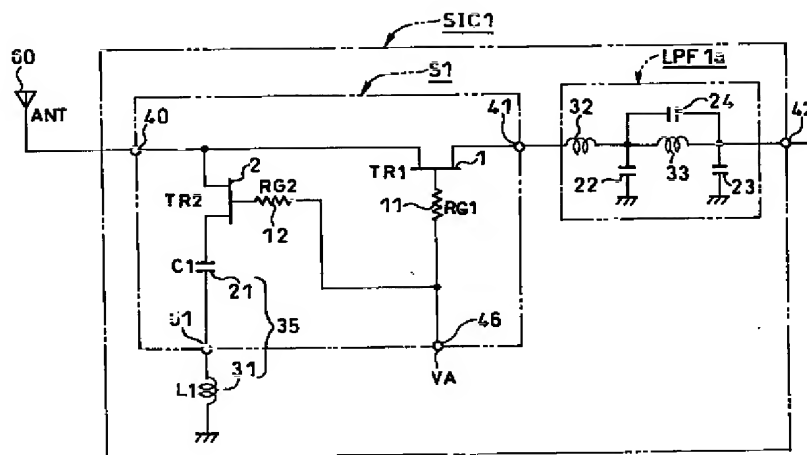
【図8】従来回路及び本発明の実施の形態におけるスイッチ半導体集積回路に印加される制御電圧に対する動作を説明する説明図である。

【図9】従来回路の構成例を示す回路図である。

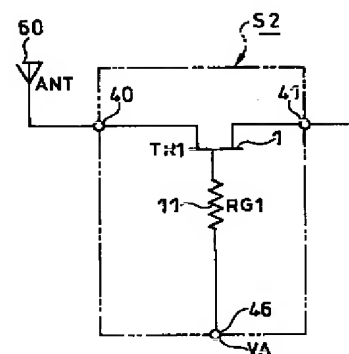
【符号の説明】

- 1…第1の電界効果トランジスタ
- 2…第2の電界効果トランジスタ
- 3…第3の電界効果トランジスタ
- 4…第4の電界効果トランジスタ
- 5…第5の電界効果トランジスタ
- 6…第6の電界効果トランジスタ
- 35, 35A…直列共振回路
- 40…共通入出力端子
- 41…第1の入出力端子
- 42…第2の入出力端子
- 43…第3の入出力端子
- 44…第4の入出力端子
- 45…第5の入出力端子

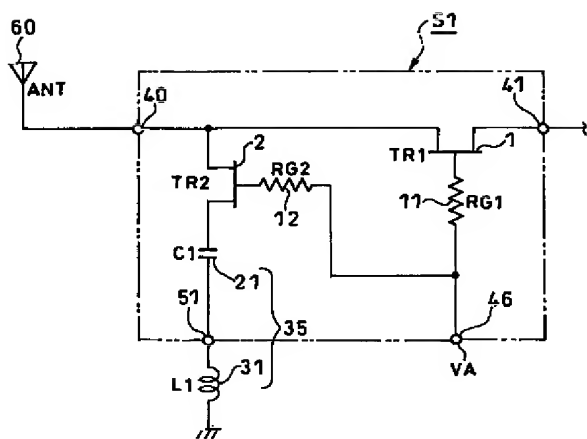
【図1】



【図4】



【図2】

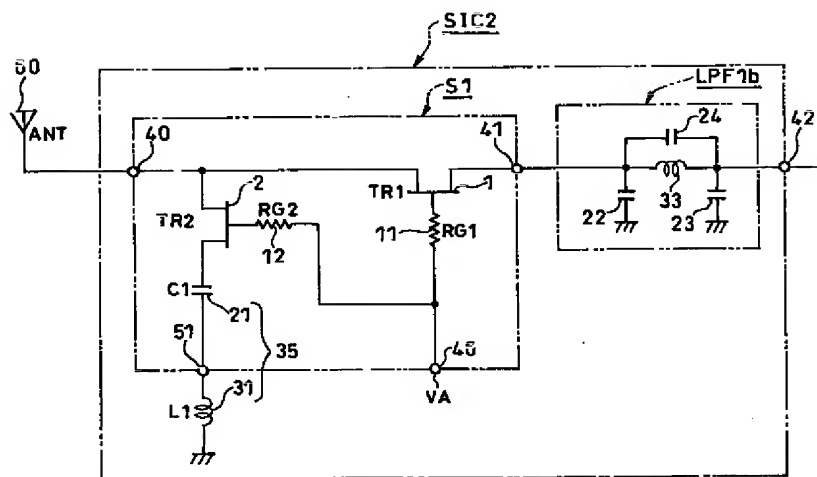


【図5】

入力信号: 900MHz, +34dBm

回 路	第2高調波レベル (dBc)
本発明の実施の形態の第1の構成図 (図1)	-79.1
図2の回路	-70.0
図3の回路	-70.0
図4の回路	-60.5

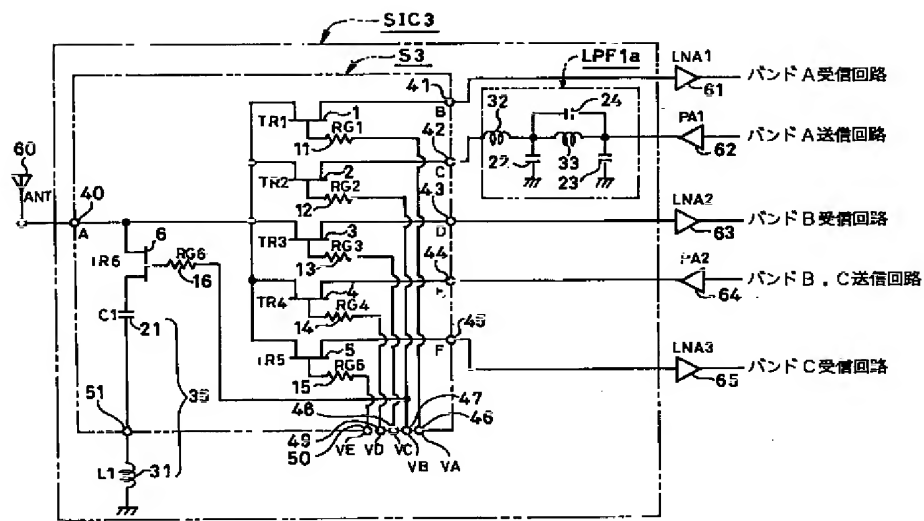
【図3】



【図8】

VA	VB	VC	VD	VE	経路 A-B	経路 A-C	経路 A-D	経路 A-E	経路 A-F
TR1 ON	TR2 OFF	TR3 OFF	TR4 OFF	TR5 OFF	ON	OFF	OFF	OFF	OFF
TR1 OFF	TR2 ON	TR3 OFF	TR4 OFF	TR5 OFF	OFF	ON	OFF	OFF	OFF
TR1 OFF	TR2 OFF	TR3 ON	TR4 OFF	TR5 OFF	OFF	OFF	ON	OFF	OFF
TR1 OFF	TR2 OFF	TR3 OFF	TR4 ON	TR5 OFF	OFF	OFF	OFF	ON	OFF
TR1 OFF	TR2 OFF	TR3 OFF	TR4 OFF	TR5 ON	OFF	OFF	OFF	OFF	ON

【図6】



【図7】

